

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02087701 A

(43) Date of publication of application: 28.03.90

(51) Int. Cl

H01P 3/02

H01L 23/12

H01P 3/08

(21) Application number: 63239035

(22) Date of filing: 26.09.88

(71) Applicant: NIPPON TELEGR & TELEPH
CORP <NTT>

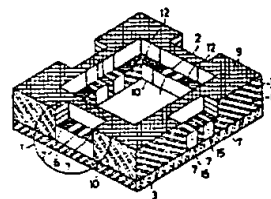
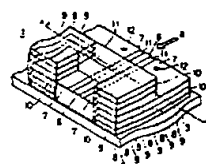
(72) Inventor: ISHIZUKA FUMINORI
SATO NOBUO
TOMIMURO HISASHI
MURAGUCHI MASAHIRO

(54) PACKAGE FOR HIGH FREQUENCY INTEGRATED
CIRCUIT

(57) Abstract:

PURPOSE: To obtain a high frequency package by providing a conductor layer so as to surround a coplanar waveguide structure on the surface of plural thin insulation sheets and connecting inter-conductor layers, the conductor layer, and a ground layer of a high frequency input output terminal of coplanar guide path structure electrically so as to form a frame.

CONSTITUTION: A front and a rear side a thin ceramic green sheet is subject to W paste at a prescribed part to form a conductor layer 9. The layers are eliminated, an opening 12 is formed and a W paste is buried. The W paste is coated to a prescribed part of a wall face of a laminated base 8. Finally, a base 8 is overlapped to the conductor layer on the surface of the ceramic or the metallic base 3 while clipping silver solder and it is roasted at a high temperature. The obtained frame 1 is partitioned electrically into inner and outer portions by conductor layers 9, 10 in continuity with the conductor layer or the metallic base 3 on the surface of the base being a ground layer 7 and the inductance and resistance of peered hole 12 are reduced. The equivalent effect to the metallic frame is obtained except the high frequency input output terminal of the coplanar guide path structure in the frame and the high frequency characteristic is improved.



COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-87701

⑬ Int.Cl.³H 01 P 3/02
H 01 L 23/12
H 01 P 3/08

識別記号

3 0 1 Z

庁内整理番号

8626-5J
7738-5F
8626-5J

⑭ 公開 平成2年(1990)3月28日

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 高周波集積回路用パッケージ

⑯ 特 願 昭63-239035

⑰ 出 願 昭63(1988)9月26日

⑱ 発 明 者 石 塚 文 則 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 佐 藤 信 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 富 室 久 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲ 発 明 者 村 口 正 弘 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉑ 代 理 人 弁理士 小林 将高

明 細 書

1. 発明の名称

高周波集積回路用パッケージ

2. 特許請求の範囲

(1) 一部にコプレーナ導波路構造の高周波入出力端子を有する枠体と、導体層を形成した基体あるいは導電性基体と、封止用蓋とから構成された高周波集積回路用パッケージにおいて、前記枠体を、複数の薄い絶縁性シートの各表面に前記コプレーナ導波路構造の周囲を取り囲むように導体層を形成し、さらに前記各導体層間および各導体層と前記コプレーナ導波路構造の前記高周波入出力端子の接地層と、前記導体層を形成した基体の導体層あるいは導電性基体とを電気的に接続して構成したことを特徴とする高周波集積回路用パッケージ。

(2) 枠体に形成された高周波入出力端子を除く他の高周波入出力端子、低周波入出力端子、バイアス電圧供給用端子および接地用端子を枠体あるいは基体のいずれか一方に形成したことを特徴と

する請求の項 (1)記載の高周波集積回路用パッケージ。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、高周波集積回路等の半導体素子を收容するための高周波集積回路用パッケージに関する。

(従来の技術)

従来、この種の高周波集積回路用パッケージにおいては、枠体1は第8図および第9図に示すように、コプレーナ導波路構造の高周波入出力端子を構成するための中心導体層6、接地層7を形成した第1のセラミック基板13と該第1のセラミック基板13上に形成した端子を絶縁するための第2のセラミック基板14とを積層させた構成をしており、半導体素子が搭載される領域2の周囲を取り囲むような構造が取られていた。また、高周波入出力端子としてのコプレーナ導波路構造における接地層7とセラミック製基体表面の導体層あるいは金属製基体3とは第1のセラミック基板

13を貫通して導通させたビアホール12を介して接続される構成が取られていた。なお、15はバイアス電圧供給端子である。

また、この種の高周波集積回路用パッケージの場合、半導体素子が搭載される領域2に半導体素子を搭載して半導体素子の電極と前記高周波入出力端子を構成する中心導体層6および接地層7間をそれぞれボンディング用ワイヤ等で接続した後、板状材料(図示せず)を付けて半導体素子を封止することによって増幅器等の機能を有する高周波モジュールが得られる。

(発明が解決しようとする課題)

しかし、高周波入出力端子間で前記第1、第2のセラミック基板13、14を介してリング共振を生ずる、あるいは第1、第2のセラミック基板13、14を介したマイクロ波の漏洩分が高周波入出力端子にフィードバックされる等によって、高周波モジュールの周波数特性が劣化するという欠点があった。また、高周波入出力端子における接地層7がビアホール12のみでセラミック製基

体表面に形成された導体層あるいは金属製基体3と接続しているため、ビアホール12におけるインダクタンス成分、抵抗成分等により、接地層7の電位が十分にセラミック製基体表面に形成された導体層あるいは金属製基体3の電位、すなわち、接地電位とならず高周波用端子での不整合を生じ、高周波集積回路用パッケージにおける高周波特性が制限されるという欠点があった。

この発明は、前記欠点を改善あるいは除去するためになされたもので、枠体におけるリング共振の抑制、枠体を介したマイクロ波の漏洩分の高周波入出力端子へのフィードバックの抑制ならびにビアホールにおけるインダクタンス成分、抵抗成分の低減化を図ることによって、半導体素子を搭載した高周波モジュールが30GHz帯の超高周波領域まで動作可能となる高周波集積回路用パッケージを提供することを目的とする。

(課題を解決するための手段)

この発明にかかる高周波集積回路用パッケージは、枠体を、複数の薄い絶縁性シートの各表面に

コプレーナ導波路構造の周囲を取り囲むように導体層を形成し、さらに各導体層間および各導体層とコプレーナ導波路構造の高周波入出力端子の接地層と、導体層を形成した基体の導体層あるいは導電性基体とを電気的に接続して構成したものである。

また、この発明においては、枠体に形成された高周波入出力端子を除く他の高周波入出力端子、低周波入出力端子、バイアス電圧供給用端子および接地用端子を枠体あるいは基体のいずれか一方に形成することができる。

(作用)

この発明においては、コプレーナ導波路構造の全周囲が導体で囲まれていると等価となり、リング共振の抑制、マイクロ波の漏洩分の高周波入出力端子へのフィードバックの制衡、およびインダクタンス成分の低減がはかれる。

また、枠体に形成された高周波入出力端子を除く他の端子を基体に設けたものは、シールドがより完全に行われ、高周波特性が向上する。

(実施例)

(実施例1)

第1図～第5図はこの発明の第1の実施例を説明する図であって、第1図は斜視図、第2図は、第1図の高周波入出力端子(Tの部分)を詳細に説明した斜視図、第3図は、第2図のA-A'の断面図、第4図は第2図をB方向から見た図、第5図は半導体素子を実装した構成例の上面図である。

図において、1はこの発明の高周波集積回路用パッケージの枠体、2は半導体素子を搭載する領域、3は導体層で覆われたセラミック製基体あるいは金属製基体、6はコプレーナ導波路を構成するための(高周波入出力端子の)中心導体層、7はコプレーナ導波路を構成するための(高周波入出力端子の)接地層、8は薄いセラミック基板、9は前記薄いセラミック基板8の表面の内、接地層7に平行な面に形成された第1の導体層、10は前記薄いセラミック基板8の表面の内、接地層7に直交する面に形成された第2の導体層、11

はコプレーナ導波路を構成するための絶縁層、12はビアホール、15はバイアス電圧供給端子、16は半導体素子、17はバイパスコンデンサ、18はボンディング用ワイアである。

はじめに、第1の実施例における枠体1の製造工程例について説明する。まず、薄いセラミックのグリーンシートを6枚用意し、それぞれの表面と裏面の所定の個所に導電性材料、例えばタングステンペーストを塗布し、第1の導体層9の形成準備をした後積層する。その後、パンチング等で所定の位置を開口し、ビアホール12用の穴および半導体素子16を搭載する領域2を形成する。さらに、ビアホール12用の穴に前記タングステンペーストを埋め込んでビアホール12を形成する。次に、積層した薄いセラミック基板8の壁面の所定の箇所に、すなわちコプレーナ導波路構造の高周波入出力端子の高周波特性を損なわない範囲および他の端子を絶縁させる範囲に、前記タングステンペーストを塗布する。最後に、セラミック製基体表面に形成された導体層あるいは金属製基

体3に前記積層したセラミック基板8を銀ろう等の板を挟んで重ね合わせた後高温で焼成する。

この工程によって、枠体1は、第2図に示すように6枚の薄いセラミック基板8が第1、第2の導体層9、10で囲まれた構造となる。また、高周波入出力端子の部分は第3図に示すようにコプレーナ導波路の両側に高周波入出力端子を構成する中心導体層6、接地層7と平行に第1の導体層9が配置される。さらに、第2図、第4図に示すように中心導体層6、接地層7と直交する枠体1表面に第2の導体層10が形成され、また、高周波入出力端子の接地層7とセラミック製基体表面の導体層あるいは金属製基体3と接続し接地層7と直交する面方向にビアホール12が配置される。

この結果得られたパッケージの枠体1は、接地層7であるセラミック製基体表面の導体層あるいは金属製基体3に導通した第1の導体層9、第2の導体層10によって枠体1の内外が電気的にシールドされた構造となり、従来のセラミック製枠

体におけるマイクロ波の漏洩分の高周波入出力端子へのフィードバックの低減を抑制でき、さらに、ビアホール12では不十分だったコプレーナ導波路構造の高周波入出力端子における接地層7の電位をセラミック製基体表面の導体層あるいは金属製基体3の電位に限りなく近くできる構造となり、ビアホール12でのインダクタンス成分および抵抗成分の低減が図れる。その結果、枠体1はコプレーナ導波路構造の高周波入出力端子を除き、擬似的に金属製枠体と同等の効果が得られ、この発明の枠体1を介したリング共振等を除去できるため、パッケージのキャパシティ寸法は TE_{101} 、 TE_{100} モードのマイクロ波の伝播を考慮した設計を行えばよいことになる。以上の結果をもとにパッケージのキャパシティを設計した結果、パッケージの高周波入出力端子間のアイソレーションが30GHz帯でも30dB以上が得られるとともに、高周波用端子の挿入損失が0.3dB以下と低損失化が達成できた。

次に、この構造のパッケージを用いた高周波モ

ジュールへの適用例について説明する。

第5図に示すように、このパッケージに半導体素子16、バイパスコンデンサ17をパッケージの領域2にAuSn等のはんだを用いて取りつけた後、半導体素子16の電極と高周波入出力端子の中心導体層6、接地層7およびバイパスコンデンサ17、DC電圧供給用導体層間をそれぞれボンディング用ワイア18で電気的に結線する。最後に、金属製の蓋（図示せず）で気密封止することによって高周波モジュールが完成する。この場合、パッケージの高周波用端子および枠体1が前述のような構造になっていることから、前記高周波モジュールに高周波信号を入力し半導体素子16で増幅するなどの動作を実行しても、高周波入出力端子での漏洩分が枠体1を介してフィードバックされることがなく、半導体素子16の機能を損なうことがない。また、コプレーナ導波路構造の高周波入出力端子の接地層7が、セラミック製基体表面の導体層あるいは金属製基体3の電位と限りなく近い電位となるため、高周波入出力端子

の高周波特性が特に優れるといった利点がある。

この結果から明らかなように、従来の技術では困難であった30GHz帯の超高周波まで動作する半導体素子16を搭載したマイクロ波集積回路が実現できるようになった。

(実施例2)

第6図は、この発明の第2の実施例の高周波用端子部の側面図であり、第2図のBの方向から見た図であり、第4図に対応するもので、第2の導体層10が接地層7の内端まで延びており、第4図よりもコプレーナ導波路構造を密に取り囲んでいる。したがって、接地層7のうち中心導体層6の近傍部分がセラミック製基体表面の導体層あるいは金属製基体3の電位により近くなるため、高周波集積回路用パッケージの高周波特性の改善を図ることができる。この実施例での、枠体1の製作工程、キャビティの設計方法等は実施例とほぼ同等である。

(実施例3)

第7図はこの発明の第3の実施例の斜視図であ

って、コプレーナ導波路構造の高周波入出力端子を除く端子をセラミック製の基体あるいは金属製基体3にガラス端子(セラミック端子等でもよい)により形成した例である。この実施例での、枠体1の製作工程、キャビティの設計方法等は第1の実施例とほぼ同等である。この第3の実施例では、コプレーナ導波路構造の高周波入出力端子を除く端子をセラミック製基体あるいは金属製基体3にガラス端子19で形成しているため、パッケージのキャビティは高周波用端子以外は全てシールドされる構造となって高周波特性が特に優れるなどの特徴を有する。

なお、これまでの実施例では、薄いセラミック基板8が6枚の場合について説明したが、3〜5枚の場合についても効果が若干小さくなるものの従来技術に比べて効果的であることは言うまでもない。また、6枚をこえる場合は効果が大きくなる方向であり、必然的にこの発明の範疇にはいることは言うまでもない。また、この発明の実施例では、搭載している高周波集積回路の個数を1個

の場合で説明しているが、個数が複数になった場合でも、この発明の特徴を損なうものではないことは言うまでもない。また、ビアホール12がない場合でもこの発明の効果が有効であることは言うまでもない。

さらに、この発明の実施例では、枠体1をセラミック材料、基体を金属材料として説明したが、プラスチック等の絶縁製材料を使用した場合でもこの発明の範疇に入ることは明らかである。

(発明の効果)

以上説明したように、この発明は、枠体を、複数の薄い絶縁性シートの各表面にコプレーナ導波路構造の周囲を取り囲むように導体層を形成し、さらに各導体層間および各導体層とコプレーナ導波路構造の高周波入出力端子の接地層と、導体層を形成した基体の導体層あるいは導電性基体とを電気的に接続して構成したので、従来のセラミック製枠体におけるマイクロ波の漏洩分の高周波入出力端子へのフィードバックの低減を抑制でき、さらにビアホールでは不十分だったコプレーナ導

波路構造の高周波入出力端子における接地層の電位を、基体表面の導体層あるいは金属製基体の電位に限りなく近くできる構造となり、ビアホールでのインダクタンス成分および抵抗成分の低減が図れる。また、枠体はコプレーナ導波路構造の高周波入出力端子を除き、擬似的に金属性枠体と同等の効果が得られ、この発明の枠体を介したリング共振等を除去できるため、高周波特性の改善が図れる。

さらに、枠体に形成された高周波入出力端子を除く他の端子を基体に形成したものは、シールドがより完全に行われ高周波特性が向上する利点がある。

4. 図面の簡単な説明

第1図はこの発明のパッケージ全体を示す斜視図、第2図は、第1図の高周波用端子を詳細に示した斜視図、第3図はこの発明の特徴をもっとも良く示している第2図のA-A'の断面図、第4図は、第2図をB方向から見た図、第5図は半導体素子を実装した構成例の上面図、第6図はこの

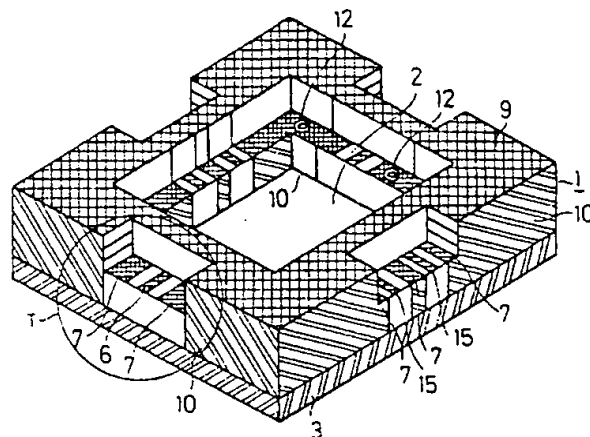
発明の第2の実施例の高周波用端子部の側面図、第7図はこの発明の第3の実施例を表すパッケージの斜視図、第8図はコプレーナ導波路用導体層を備えた従来パッケージの上面図、第9図は、第8図におけるC方向からみた図である。

図において、1は持体、2は半導体素子を搭載する領域、3は導体層で覆ったセラミック製基体あるいは金属製基体、6は中心導体層、7は接地層、8は薄いセラミック基板、9、10は第1、第2の導体層、11は絶縁層、12はビアホール、13は第1のセラミック基板、14は第2のセラミック基板、15はバイアス電圧供給端子、16は半導体素子、17はバイパスコンデンサ、18はボンディング用ワイヤ、19はガラス端子である。

代理人 小林 将 高

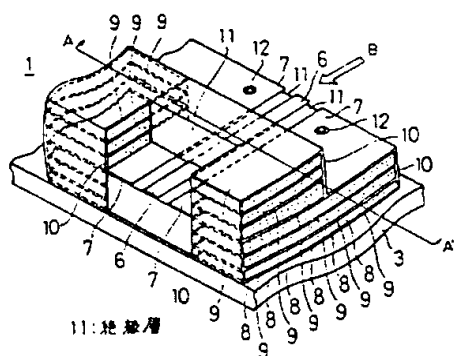


第 1 図

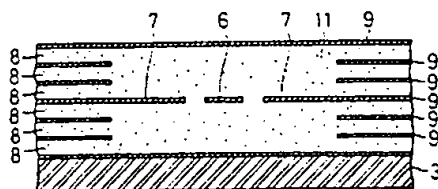


- 1: 持体
- 2: 半導体素子を搭載する領域
- 3: 導体層あるいは金属製基体
- 6: 中心導体層
- 7: 接地層
- 9: 第1、第2の導体層
- 10: ビアホール
- 12: バイアス電圧供給端子

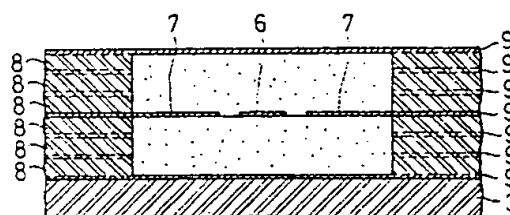
第 2 図



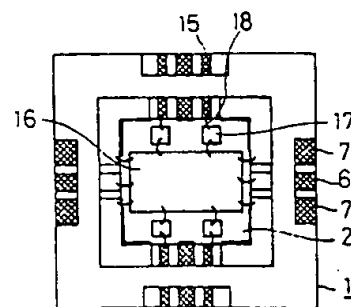
第 3 図



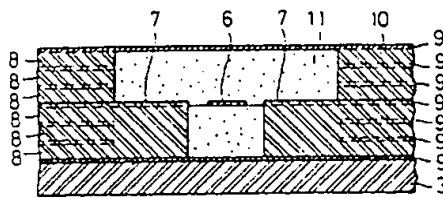
第 4 図



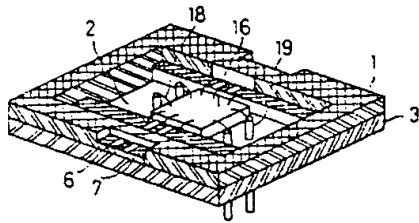
第 5 図



第 6 図

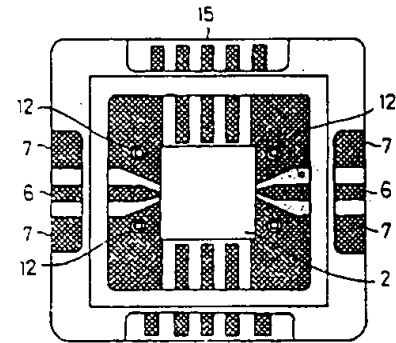


第 7 図

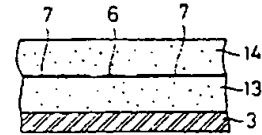


16:半導体素子
18:ボンディング用ワイヤ
19:ガラス糊子

第 8 図



第 9 図



13:第 1 のセラミック基板
14:第 2 のセラミック基板